

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-243528

(P2003-243528A)

(43) 公開日 平成15年8月29日 (2003.8.29)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L	21/8234	H 0 1 L 27/08	3 3 1 E 5 F 0 3 2
	21/76	27/10	4 6 1 5 F 0 4 8
	21/762	27/08	1 0 2 B 5 F 0 8 3
	21/764		1 0 2 H 5 F 1 1 0
	21/8242	21/76	L

審査請求 有 請求項の数19 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2002-35681(P2002-35681)

(22) 出願日 平成14年2月13日 (2002.2.13)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 山田 敬

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 佐藤 力

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

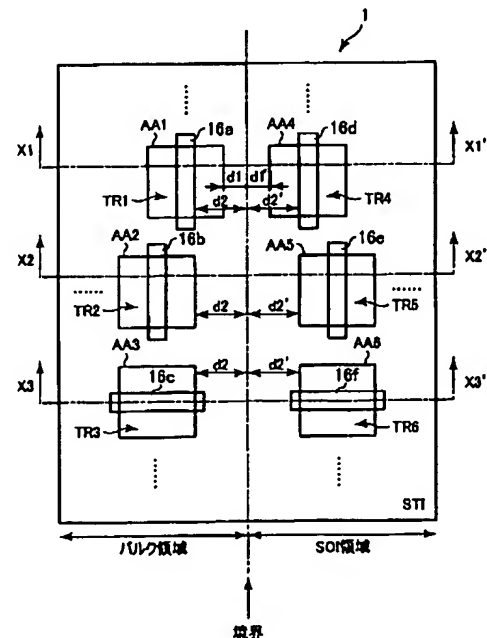
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 応力による特性変化を防止できる半導体装置を提供すること。

【解決手段】 半導体基板10上に設けられ、半導体基板10と電氣的に接続された第1半導体層13と、第1半導体層13の近傍に設けられ、半導体基板10と電氣的に分離された第2半導体層12と、第1、第2半導体層13、12上にそれぞれ設けられ、第1、第2半導体層12、13の境界と平行に配置されたゲート電極16a、16dをそれぞれ有する第1、第2MOSトランジスタTR1、TR4とを具備することを特徴としている。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 半導体基板上に設けられ、前記半導体基板と電気的に接続された第 1 半導体層と、
前記第 1 半導体層の近傍に設けられ、前記半導体基板と電気的に分離された第 2 半導体層と、
前記第 1、第 2 半導体層上にそれぞれ設けられ、前記第 1、第 2 半導体層の境界と平行に配置されたゲート電極をそれぞれ有する第 1、第 2 MOS トランジスタとを具備することを特徴とする半導体装置。

【請求項 2】 前記第 1、第 2 MOS トランジスタのゲート電極は、互いに平行になるよう配置されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 MOS トランジスタのソース領域は、前記第 1、第 2 半導体層の境界に近接して設けられることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記第 1 MOS トランジスタのソース領域は、前記第 1 半導体層と同電位であることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記第 2 MOS トランジスタのソース領域及びドレイン領域は、前記第 2 半導体層の底部に達していることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 半導体基板上に設けられ、前記半導体基板と電気的に接続された第 1 半導体層と、
前記第 1 半導体層の近傍に設けられ、前記半導体基板と電気的に分離された第 2 半導体層と、
前記第 1、第 2 半導体層中のいずれか一方に設けられ、前記第 1、第 2 半導体層の境界から第 1 の距離だけ離隔する第 1 素子領域と、

前記第 1、第 2 半導体層のうち、前記第 1 素子領域が設けられた一方に設けられ、前記第 1、第 2 半導体層の境界から、前記第 1 の距離よりも大きい第 2 の距離だけ離隔する第 2 素子領域と、
前記第 1 素子領域中に設けられ、前記第 1、第 2 半導体層の境界と平行に配置されたゲート電極を有する第 1 MOS トランジスタと、
前記第 2 素子領域中に設けられ、前記第 1 MOS トランジスタのゲート電極と直交する方向に配置されたゲート電極を有する第 2 MOS トランジスタとを具備することを特徴とする半導体装置。

【請求項 7】 前記第 1 MOS トランジスタのチャネル領域とソース領域との接合部は、前記第 1、第 2 半導体層の境界から、少なくとも前記第 2 の距離だけ離隔していることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 前記第 1、第 2 素子領域は、前記第 1 半導体層中に設けられ、
前記第 1 MOS トランジスタのソース領域は、前記第 1、第 2 半導体層の境界に近接して設けられることを特徴とする請求項 6 記載の半導体装置。

【請求項 9】 前記第 1、第 2 素子領域は、前記第 1 半導体層中に設けられ、

前記第 1 MOS トランジスタのソース領域は、前記第 1 半導体層と同電位であることを特徴とする請求項 6 記載の半導体装置。

【請求項 10】 前記第 1、第 2 素子領域は、前記第 2 半導体層中に設けられ、
前記第 2 MOS トランジスタのソース領域及びドレイン領域は、前記第 2 半導体層の底部に達していることを特徴とする請求項 6 記載の半導体装置。

【請求項 11】 半導体基板上に設けられ、前記半導体基板と電気的に接続された第 1 半導体層と、
前記第 1 半導体層の近傍に設けられ、前記半導体基板と電気的に分離された第 2 半導体層と、
前記第 1 半導体層中に設けられ、一部が前記第 2 半導体層直下の前記半導体基板に達するように配置された第 3 半導体層とを具備することを特徴とする半導体装置。

【請求項 12】 前記第 3 半導体層の表面内に互いに離隔して設けられたソース・ドレイン領域と、前記ソース・ドレイン領域間の前記第 3 半導体層上にゲート絶縁膜を介在して設けられたゲート電極とを有する MOS トランジスタを更に備え、
前記ゲート電極は前記第 1、第 2 半導体層の境界と平行に延設され、前記ソース領域は前記境界に近接して設けられていることを特徴とする請求項 11 記載の半導体装置。

【請求項 13】 前記第 3 半導体層は、前記半導体基板と同一導電型であることを特徴とする請求項 11 記載の半導体装置。

【請求項 14】 前記第 3 半導体層は、前記半導体基板と同電位であることを特徴とする請求項 11 記載の半導体装置。

【請求項 15】 半導体基板上に設けられ、前記半導体基板と電気的に接続された第 1 半導体層と、
前記第 1 半導体層の近傍に設けられ、前記半導体基板と電気的に分離された第 2 半導体層と、
前記第 1、第 2 半導体層のいずれか一方に、前記第 1、第 2 半導体層の境界近傍を除いて設けられた半導体素子群と、

前記第 1、第 2 半導体層の境界近傍の前記第 1、第 2 半導体層上に設けられた、前記半導体素子のダミー素子群とを具備することを特徴とする半導体装置。

【請求項 16】 前記半導体素子と、前記ダミー素子とは互いに異なる構造を有することを特徴とする請求項 15 記載の半導体装置。

【請求項 17】 前記半導体素子はメモリセルであることを特徴とする請求項 15 記載の半導体装置。

【請求項 18】 前記半導体基板上に設けられた絶縁膜を更に具備し、

前記第 2 半導体層は、前記絶縁膜を介在して前記半導体基板上に設けられていることを特徴とする請求項 1、

6、11、15 いずれか 1 項記載の半導体装置。

【請求項19】 前記第2半導体層は、空洞を介して前記半導体基板上に設けられていることを特徴とする請求項1、6、11、15いずれか1項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関するもので、特にSOI(Silicon On Insulator)基板、またはSON(Silicon on Nothing)基板を用いたシステムLSIに用いられる技術に関するものである。

【0002】

【従来の技術】SOIは、絶縁膜上にシリコン層を形成した構造として、従来から広く知られている。このようなSOI上に半導体素子を形成することにより、ロジック回路の低消費電力化や動作速度の高速化を図る試みが、近年、盛んに行われている。今後、例えばDRAM(Dynamic Random Access Memory)を混載したシステムLSI等にも、SOIが用いられることが予想される。

【0003】ところで、SOI上に形成されたMOSトランジスタは、チャンネルが形成されるボディ領域の電位がフローティングとなることに起因した特異な動作現象を生じることがある。この現象は基板浮遊効果と呼ばれている。基板浮遊効果は、半導体素子におけるリーク電流や閾値電圧の変動の原因となる。従ってSOI上のMOSトランジスタは、リーク電流や閾値電圧に対して高度の制御性を求める回路、例えばDRAMセルアレイやセンサンプ等には不向きである。他方、デジタル動作を行うロジック回路等に対しては、SOI上のMOSトランジスタが最適である。このようにSOIは、回路の種類毎に向き、不向きがある。

【0004】そこで、半導体基板上に部分的にSOIを形成した構造(以下、部分SOI構造と呼ぶ)が提案されている。本構造は、半導体基板上の一部にSOIを形成し、SOIを設けた領域(SOI領域)にロジック回路等を形成する一方、SOIを設けない領域(バルク領域)にDRAMセル等を形成するものである。部分SOI構造の形成方法についての提案は、特開平8-17694号、特開平10-303385号、特開平8-316431号、特開平7-106434号、特開平11-238860号、特開2000-91534号、特開2000-243944号公報、Robert Hannonらによる、2000 Symposium on VLSI Technology Digest of Technical Papers, pp.66-67、Hoらによる2001 IEDM Technical Digest pp.503-506等に為されている。

【0005】部分SOI構造を用いれば、同一半導体基板上において、SOI上のMOSトランジスタとシリコン基板上のMOSトランジスタとを、半導体素子の特性によって使い分けることが出来る。従って、システムLSIの高速・高性能化が実現できる。

【0006】

【発明が解決しようとする課題】しかしながら、SOI領

域とバルク領域との境界付近では、境界の形成方法や基板構造の変化に伴って応力が発生する。この応力は、電子やホール移動度の変化や、結晶欠陥の発生の原因となる。その結果、上記従来の部分SOI構造であると、SOI領域とバルク領域との境界に接して存する半導体素子の特性が変化するという問題があった。

【0007】この発明は、上記事情に鑑みてなされたもので、応力による特性変化を防止できる半導体装置を提供することにある。

10 【0008】

【課題を解決するための手段】この発明に係る半導体装置は、半導体基板上に設けられ、前記半導体基板と電気的に接続された第1半導体層と、前記第1半導体層の近傍に設けられ、前記半導体基板と電気的に分離された第2半導体層と、前記第1、第2半導体層上にそれぞれ設けられ、前記第1、第2半導体層の境界と平行に配置されたゲート電極をそれぞれ有する第1、第2MOSトランジスタとを具備することを特徴としている。

【0009】上記構成の半導体装置であると、第1、第2MOSトランジスタは、第1、第2半導体層の境界と平行に配置されたゲート電極を有している。従って、第1、第2MOSトランジスタは前記境界で発生する応力の作用を受けない。その結果、応力による第1、第2MOSトランジスタの特性変化を防止できる。同時に、第1、第2MOSトランジスタを境界に近接して配置することが出来る。

【0010】また、この発明に係る半導体装置は、半導体基板上に設けられ、前記半導体基板と電気的に接続された第1半導体層と、前記第1半導体層の近傍に設けられ、前記半導体基板と電気的に分離された第2半導体層と、前記第1、第2半導体層中のいずれか一方に設けられ、前記第1、第2半導体層の境界から第1の距離だけ離隔する第1素子領域と、前記第1、第2半導体層のうち、前記第1素子領域が設けられた一方に設けられ、前記第1、第2半導体層の境界から、前記第1の距離よりも大きい第2の距離だけ離隔する第2素子領域と、前記第1素子領域中に設けられ、前記第1、第2半導体層の境界と平行に配置されたゲート電極を有する第1MOSトランジスタと、前記第2素子領域中に設けられ、前記第1MOSトランジスタのゲート電極と直交する方向に配置されたゲート電極を有する第2MOSトランジスタとを具備することを特徴としている。

【0011】上記構成の半導体装置であると、第1、第2MOSトランジスタは、第1、第2半導体層の境界と平行に配置されたゲート電極を有している。そして、第1MOSトランジスタは第2MOSトランジスタよりも前記境界に近接して配置されている。従って、境界で発生する応力による第1、第2MOSトランジスタの特性変化を防止しつつ、デッドスペースを低減できる。

50 【0012】更にこの発明に係る半導体装置は、半導体

基板上に設けられ、前記半導体基板と電氣的に接続された第1半導体層と、前記第1半導体層の近傍に設けられ、前記半導体基板と電氣的に分離された第2半導体層と、前記第1半導体層中に設けられ、一部が前記第2半導体層直下の前記半導体基板に達するように配置された第3半導体層とを具備することを特徴としている。

【0013】上記構成の半導体装置であると、第3半導体層の一部は、第1、第2半導体層の境界を超えて、第2半導体層直下の半導体基板中に達している。そのため、第3半導体層内に形成されるべき半導体素子を、第1、第2半導体層の境界に近接して配置できることとなり、その結果デッドスペースを低減できる。

【0014】更にこの発明に係る半導体装置は、半導体基板上に設けられ、前記半導体基板と電氣的に接続された第1半導体層と、前記第1半導体層の近傍に設けられ、前記半導体基板と電氣的に分離された第2半導体層と、前記第1、第2半導体層のいずれか一方に、前記第1、第2半導体層の境界近傍を除いて設けられた半導体素子群と、前記第1、第2半導体層の境界近傍の前記第1、第2半導体層上に設けられた、前記半導体素子のダミー素子群とを具備することを特徴としている。

【0015】上記のような半導体装置であると、第1、第2半導体層の境界部分にダミー素子群が配置されている。すなわち、第1、第2半導体層の境界部分で発生する応力が強い領域に、ダミーの半導体素子を形成している。従って、応力による半導体素子の特性変化を防止し、デッドスペースを削減することが可能となる。

【0016】

【発明の実施の形態】以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0017】この発明の第1の実施形態に係る半導体装置について、図1を用いて説明する。図1は、部分SOI構造を有する半導体装置の平面図である。

【0018】図示するように、半導体装置1はバルク領域とSOI領域とを有している。バルク領域及びSOI領域内には、素子分離領域STIによって互いに電氣的に分離された素子領域AA1乃至AA6が設けられている。素子領域AA1乃至AA6には、MOSトランジスタTR1乃至TR6がそれぞれ設けられている。MOSトランジスタTR1乃至TR6は、それぞれゲート電極16a乃至16fを有している。MOSトランジスタTR1、TR2、TR4、TR5のゲート電極16a、16b、16d、16eは、バルク領域とSOI領域との境界線と平行に配置されており、MOSトランジスタTR3、TR6のゲート電極16c、16fは、バルク領域とSOI領域との境界線と直交するように配置されている。

【0019】また、素子領域AA1は、バルク領域とSOI領域との境界から、所定の距離d1だけ離隔しており、素子領域AA2、AA3は、バルク領域とSOI領域との境界から、所定の距離d2だけ離隔している。また素子領域AA4は、

バルク領域とSOI領域との境界から所定の距離d1'だけ離隔しており、素子領域AA5、AA6は、バルク領域とSOI領域との境界から、所定の距離d2'だけ離隔している。距離d2、d2'は、バルク領域とSOI領域との境界で発生する応力の影響を回避出来る安全距離である。この安全距離については後述する。なお、 $d1 < d2$ 、 $d1' < d2'$ である。すなわち、素子領域AA1、AA4は、安全距離未満の距離で、境界と隣接している。但し、バルク領域とSOI領域との境界から、MOSトランジスタTR1、TR4のチャンネル領域までの距離は、それぞれ安全距離d2、d2'以上に設定されている。

【0020】次に図1に示す半導体装置の断面構造について、図2(a)乃至(c)を用いて説明する。図2(a)乃至(c)は、図1におけるそれぞれX1-X1'線、X2-X2'線、X3-X3'線に沿った断面図である。

【0021】図示するように、シリコン基板10には部分的にSOI構造が設けられている。すなわち、シリコン基板10の一部領域上には絶縁層11が設けられ、絶縁層11上には半導体層12が設けられている。絶縁層11は例えばシリコン酸化膜であり、以後BOX(Buried Oxide)層と呼ぶ。また半導体層12は例えばシリコン層であり、以後SOI層と呼ぶ。またシリコン基板10の他方の領域上には半導体層、例えばシリコン層13が設けられている。以上のように、シリコン基板10上のBOX層11及びSOI層12を含むSOI構造が設けられた領域がSOI領域、シリコン基板10上にシリコン層13が設けられた領域がバルク領域である。SOI層12は、BOX層11によってシリコン基板10と電氣的に分離されており、他方、シリコン層13は、シリコン基板10と電氣的に接続されている。バルク領域及びSOI領域には、素子領域AA1乃至AA3並びに素子領域AA4乃至AA6がそれぞれ設けられており、各素子領域AA1乃至AA6は素子分離領域STIによって取り囲まれている。なお、SOI領域内の素子分離領域STI、及びバルク領域とSOI領域との境界部分の素子分離領域STIは、少なくともBOX層11に達するようにして形成されている。

【0022】前述のように、素子領域AA1乃至AA6にはMOSトランジスタTR1乃至TR6がそれぞれ設けられている。素子領域AA1乃至AA3内に設けられたMOSトランジスタTR1乃至TR3は、ソース・ドレイン領域、及びゲート電極をそれぞれ有している。MOSトランジスタTR1、TR2のソース領域14a、14b、ドレイン領域15a、15bは、各素子領域AA1、AA2内のシリコン層13表面に、互いに離隔するようにして設けられている。そしてMOSトランジスタTR1、TR2のゲート電極16a、16bは、それぞれソース領域14aとドレイン領域15aとの間、及びソース領域14bとドレイン領域15bとの間のシリコン層13上に、図示せぬゲート絶縁膜を介在して設けられている。なお、MOSトランジスタTR4は、ソース領域14aがバルク領域とSOI領域との境界に近接するように設けられ、且つソース領域14aはシリコン層13と同電位とされている。MOSトランジスタTR3につ

いても、図示せぬソース・ドレイン領域が素子領域AA3内のシリコン層13表面に互いに離隔して設けられている。そして、ソース・ドレイン領域間のシリコン層13上に、図示せぬゲート絶縁膜を介してゲート電極16cが設けられている。素子領域AA4乃至AA6内に設けられたMOSトランジスタTR4乃至TR6も、ソース・ドレイン領域、及びゲート電極をそれぞれ有している。MOSトランジスタTR4、TR5のソース領域14d、14e、ドレイン領域15d、15eは、各素子領域AA4、AA5内のシリコン層13表面に、互いに離隔するようにして設けられている。そしてMOSトランジスタTR4、TR5のゲート電極16d、16eは、それぞれソース領域14dとドレイン領域15dとの間、及びソース領域14eとドレイン領域15eとの間のシリコン層13上に、図示せぬゲート絶縁膜を介して設けられている。MOSトランジスタTR6についても、図示せぬソース・ドレイン領域が素子領域AA6内のシリコン層13表面に互いに離隔して設けられている。そして、ソース・ドレイン領域間のシリコン層13上に、図示せぬゲート絶縁膜を介してゲート電極16fが設けられている。なお、素子領域AA4及びAA5中のソース領域14d、14e、ドレイン領域15d、15e、及び素子領域AA6中の図示せぬソース・ドレイン領域は、その底部がBOX層11に達するようにして設けられている。

【0023】次に、図1の説明で述べた「安全距離」について、図3を用いて説明する。図3は、部分SOI構造を有する半導体装置の断面図であり、特にバルク領域について示している。図示するように、バルク領域とSOI領域との境界に近接して、バルク領域にMOSトランジスタが設けられているとする。従来技術で説明したように、バルク領域とSOI領域との境界付近では、境界の形成方法や基板構造の変化に伴って応力が発生する。図3において、バルク領域とSOI領域との境界から延びる矢印F1は応力を表している。この応力F1は、結晶欠陥やリーク電流の発生原因となることは前述の通りである。図3の例であると、応力が領域B1のソース領域14aとシリコン層13との間のpn接合に作用すると、ソース領域14aとシリコン層13との間に流れるリーク電流が発生する。このことはSOI領域でも同様である。応力は境界部分で最も強く、境界から離れるに従って減衰していく。すると、境界から然るべき距離、すなわち、作用する応力が十分に減衰される程度の距離だけ離して、半導体素子を配置することが、半導体素子の信頼性維持の観点から望ましいことが分かる。上記のように、応力が半導体素子に影響を与えない程度に減衰する、境界からの距離が、「安全距離」である。本実施形態における素子領域AA2、AA3、AA5、AA6は、バルク領域とSOI領域との境界から、それぞれバルク領域、SOI領域における安全距離d2、d2'だけ離隔して配置されている。

【0024】なお、応力分布の一例を図4に示す。図4は、バルク領域とSOI領域との境界からの距離と、作用

する応力の強さとの関係を示すグラフである。縦軸は応力を示しており、正の値は圧縮応力を、負の値は引っ張り応力を示す。横軸は距離を示しており、正の値はバルク領域、負の値はSOI領域であることを示す。図示するように、応力は境界部分で最も強く、境界から離れるに従って減衰していくことが分かる。

【0025】上記のように、本実施形態に係る半導体装置であると、素子領域AA2、AA3、AA5、AA6を、バルク領域とSOI領域との境界から、安全距離d2、d2'だけ離隔して配置している。そのため、バルク領域とSOI領域との境界で発生する応力は、素子領域AA2、AA3、AA5、AA6内においては十分に減衰している。従って、応力が素子領域に悪影響を及ぼすことを回避出来る。その結果、応力による半導体装置の特性変化を防止でき、ひいては半導体装置の信頼性を向上できる。

【0026】また、素子領域AA1、AA4において、MOSトランジスタTR1、TR4のゲート電極16a、16dを、バルク領域とSOI領域との境界線と平行に配置している。その結果、応力による半導体装置の特性変化を防止しつつ、素子領域をバルク領域とSOI領域との境界に近接するように配置出来、デッドスペースを削減することが出来る。この点について、図5を用いて説明する。図5は部分SOI構造を有する半導体装置の断面図である。

【0027】まずバルク領域について説明する。バルク領域とSOI領域との境界に近接するソース領域14aは、一般的にシリコン層13と同電位に設定される。すると、ソース領域14aとシリコン層13の間には電位差が無いため、図示するような応力F1が発生して、ソース領域14aとシリコン層13との接合部に結晶欠陥が生じた場合であっても、リーク電流は発生し難い。すなわち、ソース領域14aとシリコン層13との接合部に作用する応力は、半導体装置の特性に大きな影響を与えるものではない。従って、ソース領域14aが形成される領域は、境界からの安全距離d2未満の距離d1で配置されることが可能である。換言すれば、素子領域AA1と境界との距離d1を安全距離d2未満にすることが可能である。ソース領域14aとシリコン層13との接合部分に作用する応力F1の考慮が不要であるとする、次に考慮すべきなのが、チャンネル領域17に作用する応力F2である。チャンネル領域17内において応力が作用した領域B2では、キャリアの移動度が変化する。また応力を原因として発生した結晶欠陥は、チャンネル領域の不純物濃度プロファイルを変化させる。更にはゲート絶縁膜の耐圧を劣化させる。これらはMOSトランジスタの特性を大幅に変化（悪化）させる要因となる。従って、チャンネル領域17が応力の作用を受けないように素子領域AA1を配置する必要がある。すなわち、図1及び図2(a)に示すように、バルク領域とSOI領域との境界と、チャンネル領域17との間の距離を安全距離d2以上にすれば、応力がMOSトランジスタの特性に悪影響を及ぼすことを回避出来る。

【0028】次にSOI領域について説明する。SOI領域内のMOSトランジスタのソース・ドレイン領域14d、15dは、一般的にBOX層11に達するように形成される。すると、図中の領域83ではソース・ドレイン領域14d、15dがBOX層11に接しているため、例えば応力F1が作用してもリーク電流は発生しない。従って、SOI領域においても考慮すべき応力は、チャンネル領域17に作用する応力F2である。すなわち、図1及び図2(a)に示すように、バルク領域とSOI領域との境界と、チャンネル領域17との間の距離を安全距離 d_2' 以上にすれば、応力がMOSトランジスタの特性に悪影響を及ぼすことを回避出来る。図1及び図2(a)では、ソース領域14bが境界に近接している場合を示しているが、勿論、ドレイン領域15bが境界に近接していても良い。

【0029】図6は、距離 d_2 、 d_2' と、領域AA1、AA4に設けられたMOSトランジスタの閾値電圧の変化量 ΔV_{th} との関係を示している。縦軸は、バルク領域とSOI領域との境界から十分に離隔した位置に設けたMOSトランジスタの閾値電圧からの変化量を示している。横軸は距離を示しており、正の値はバルク領域における距離 d_2 、負の値はSOI領域における d_2' である。安全距離 d_2 、 d_2' は、境界構造やプロセスによって変動するが、例えば図示するように、 d_2 、 $d_2' = 1\mu m$ 程度まで近づけても、閾値電圧は殆ど不変であることが分かる。

【0030】本来、半導体素子の信頼性の維持という観点からは、半導体素子と境界との距離を、可能な限り大きくすることが望ましい。しかし、半導体素子と上記境界との距離を大きくすることは、同時に素子領域として使用困難な無駄な領域(デッドスペース)が増加することに繋がる。デッドスペースが増加する結果、半導体装置のコストが上昇する。すなわち、コストの低減という観点からは、半導体素子と上記境界との距離を、可能な限り小さくすることが望ましい。しかし本実施形態に係る半導体装置によれば、素子領域内のMOSトランジスタTR1、TR4に対する応力の影響を回避しつつ、境界と素子領域AA1、AA4との間の距離を、安全距離 d_2 、 d_2' よりも小さく出来る。すなわち、相反する関係にある半導体素子の信頼性維持と、コスト低減とを両立させることが出来る。

【0031】上記のように、本実施形態によれば、素子領域をバルク領域とSOI領域との境界から十分な安全距離だけ離隔して配置することにより、境界で発生する応力による、半導体装置の特性変化を防止できる。また、チャンネル領域をバルク領域とSOI領域との境界から安全距離だけ離隔して配置することにより、素子領域が境界と離隔する距離を安全距離未満にすることが出来る。そのため、応力による半導体装置の特性変化を防止しつつ、同時にデッドスペースの増加を防止することも出来る。

【0032】次にこの発明の第2の実施形態に係る半導

体装置について説明する。本実施形態に係る半導体装置は、上記第1の実施形態において、バルク領域とSOI領域との境界に隣接するバルク領域内の素子領域にウェル領域を有するものである。まず図7を用いて本実施形態に係る半導体装置の平面構造を説明する。図7は、部分SOI構造を有する半導体装置の平面図である。

【0033】図示するように、バルク領域及びSOI領域内には、素子分離領域STIによって互いに電氣的に分離された素子領域AA7乃至AA10が設けられている。素子領域AA7乃至AA10には、MOSトランジスタTR7乃至TR10がそれぞれ設けられている。MOSトランジスタTR7乃至TR10は、それぞれバルク領域とSOI領域との境界線と平行に配置されたゲート電極16q乃至16jを有している。

【0034】また、素子領域AA7はバルク領域とSOI領域との境界から距離 d_1 だけ離隔し、且つMOSトランジスタTR7のチャンネル領域が、バルク領域とSOI領域との境界から、安全距離 d_2 だけ離隔するように形成されている。素子領域AA8は、バルク領域とSOI領域との境界から距離 d_3 だけ離隔するようにして形成されている。なお、 $d_3 > d_2$ である。また、素子領域AA9、AA10は、バルク領域とSOI領域との境界から距離 d_1' だけ離隔しており、素子領域AA9、AA10は、バルク領域とSOI領域との境界から、所定の距離 d_1' だけ離隔し、且つMOSトランジスタTR9、TR10のチャンネル領域が、バルク領域とSOI領域との境界から、安全距離 d_2' だけ離隔するように形成されている。

【0035】次に図7に示す半導体装置の断面構造について、図8(a)、(b)を用いて説明する。図8(a)、(b)は、図7におけるそれぞれX4-X4'線、X5-X5'線に沿った断面図である。

【0036】図示するように、p型シリコン基板10には部分的にSOI構造が設けられている。SOI構造については上記第1の実施形態と同様であるので説明は省略する。バルク領域及びSOI領域には、素子領域AA7、AA8及び素子領域AA9、AA10がそれぞれ設けられており、各素子領域AA7乃至AA10は素子分離領域STIによって取り囲まれている。素子領域AA9、AA10については、上記第1の実施形態における素子領域AA4と同一であるの説明は省略し、以下では素子領域AA7、AA8についてのみ説明する。

【0037】前述の通り、素子領域AA7、AA8は、バルク領域とSOI領域との境界から、それぞれ距離 d_1 、 d_3 だけ離隔して設けられている。そして素子領域AA7、AA8内には、シリコン層13表面からシリコン基板10に達するように、p型ウェル領域18が設けられ、更にMOSトランジスタTR7、TR8がそれぞれ設けられている。素子領域AA7内のウェル領域18は、その一部が隣接するSOI領域内のシリコン基板10中に達するように設けられている。素子領域AA8内のp型ウェル領域18は、p型ウェル領域18の、バルク領域とSOI領域との境界に近接する端部が、前記境界から安全距離 d_2 だけ離隔するように形成されている。MOSトランジスタTR7、TR8は、ソース領域14q、14h、ドレ

イン領域15q、15h、及びゲート電極16q、16hをそれぞれ有している。ソース領域14q、14h、ドレイン領域15q、15hは、ウェル領域18の表面に、互いに離隔するようにして設けられている。ゲート電極16q、16hは、それぞれソース領域14qとドレイン領域15q、及びソース領域14hとドレイン領域15hとの間のウェル領域18上に、図示せぬゲート絶縁膜を介在して設けられており、バルク領域とSOI領域との境界線と平行に配置されている。MOSトランジスタTR7は、ソース領域14qが境界に近接するようにして形成されており、ソース領域14qはp型ウェル領域18と同電位に設定される。更にp型ウェル領域18はシリコン基板10と同電位に設定される。

【0038】上記のように、本実施形態に係る半導体装置によれば、図7における素子領域AA8において、ウェル領域18をバルク領域とSOI領域との境界から安全距離d2だけ離隔させている。MOSトランジスタの特性制御のために、シリコン基板10（及びシリコン層13）中にウェル領域18を設けることは一般に広く行われていることである。この場合には、バルク領域とSOI領域との境界で発生する応力が、ウェル領域18とシリコン基板10との境界部分に与える影響を考慮しなければならない。このウェル領域18とシリコン基板10との境界を、バルク領域とSOI領域との境界から、上記第1の実施形態で説明した安全距離d2だけ離隔させることで、ウェル領域18とシリコン基板10との境界に作用する応力を十分に減衰させることが出来る。そのため、応力がウェル領域に悪影響を及ぼすことを回避出来る。その結果、応力による半導体装置の特性変化を防止でき、ひいては半導体装置の信頼性を向上できる。

【0039】更に本実施形態に係る半導体装置によれば、図7における素子領域AA7において、シリコン基板10及びシリコン層13と同電位・同導電型のp型ウェル領域18を、隣接するSOI領域内にまで延設している。ウェル領域18は通常、シリコン基板10深くまで形成する必要があり、一般的にはイオン注入とアニールによって形成される。そのため、ウェル領域は横方向に大きく拡がった形状を有することが通常である。すると、素子領域AA8のような配置方法であると、デッドスペースが大きくなる恐れがある。図8（b）において、距離d3に相当する領域BSがデッドスペースである。

【0040】図7における素子領域AA7であると、第1の実施形態と同様に、ソース領域14qとシリコン層13との接合部分に作用する応力は、MOSトランジスタに影響を殆ど与えない。更に、p型ウェル領域18とシリコン基板10とは、同電位・同導電型である。従って、ソース領域14aとシリコン層13との接合の場合と同様に考えることが出来、応力によってウェル領域18とシリコン基板10との接合部分に結晶欠陥等が生じた場合でも、MOSトランジスタは影響を受け難い。その結果、第1の実施形態と同様に、バルク領域とSOI領域との境界と、チャネル

領域17との間の距離を安全距離d2以上にすれば、応力によるMOSトランジスタの特性変化を防止できる。すなわち、バルク領域とSOI領域との境界と素子領域AA7との間の距離を、安全距離d2よりも小さい距離d1にすることが出来る。そしてその場合には、p型ウェル領域18の一部が、隣接するSOI領域にまで潜り込むことになる。しかし、SOI領域まで伸びたウェル領域18は、SOI領域内の素子領域とはBOX層11によって絶縁されているため、半導体装置に悪影響を及ぼすことは無い。

【0041】上記のように、本実施形態によれば、ウェル領域を有するMOSトランジスタの場合であっても、バルク領域とSOI領域との境界で発生する応力による半導体装置の特性変化を防止できる。また同時にデッドスペースの増加を防止することも出来る。特にウェル領域を用いる場合にはデッドスペースが大きくなりがちであるので、本実施形態が有効である。

【0042】なお上記第1、第2の実施形態において、半導体層13は、シリコン基板10の一部であっても良い。この点について、第1、第2の実施形態の第1変形例として図9（a）乃至（c）を用いて説明する。図9（a）乃至（c）は部分SOI構造の製造工程の一部を順次示す断面図である。

【0043】まず図9（a）に示すように、シリコン基板10上に例えばシリコン酸化膜等のマスク材19を形成する。その後フォトリソグラフィ技術とエッチング技術とによって、SOI領域となるべき領域のマスク材19を除去する。引き続き、シリコン基板10中に、酸素イオンを注入する。次にアニールを施すことにより、注入した酸素原子を活性化させる。すると、図9（b）に示すように、酸素イオンを注入した領域にBOX層11が形成される。以上のような方法により部分SOI構造を形成した場合には、シリコン基板10の一部が上記第1、第2の実施形態におけるSOI層12及びシリコン層13として機能する。

【0044】なお、上記製造方法はSIMOX（Separation by Implanted Oxygen）法として良く知られている。この方法であると、SOI層12を厚く形成し難い。そのため、図9（c）に示すように、引き続きシリコン層20をシリコン基板10上にエピタキシャル成長する場合がある。この場合には、シリコン基板10及びシリコン層20が、SOI層12及びシリコン層13として機能する。

【0045】図10（a）乃至（c）は、第1、第2の実施形態の第2変形例を説明するためのもので、部分SOI構造の製造工程の一部を順次示す断面図である。

【0046】まず図10（a）に示すように、シリコン基板10、BOX層11、及びSOI層12を含むSOI基板を形成する。SOI基板は上述のSIMOX法により形成しても良いし、シリコン基板の張り合わせによって形成しても良い。次に図10（b）に示すように、バルク領域となるべき領域のSOI層12及びBOX層11を除去する。その後図10

(c)に示すように、バルク領域のシリコン基板10上に、シリコン層13をエピタキシャル成長する。以上のような方法により部分SOI構造を形成した場合には、シリコン基板10の一部、またはシリコン基板10に張り合わせたシリコン基板が、上記第1、第2の実施形態におけるSOI層12として機能する。また、シリコン層13は、シリコン基板10上に成長されたエピタキシャル層である。

【0047】図11は、上記第1、第2の実施形態の第3変形例に係る半導体装置の平面図である。図示するように、バルク領域には素子領域AA11乃至AA13が設けられ、SOI領域には素子領域AA14乃至AA16が設けられている。素子領域AA11と素子領域AA14は、上記第1、第2の実施形態と同様に、バルク領域とSOI領域との境界に対して対向して設けられている。しかし、素子領域AA12と素子領域AA15のように、境界線に対して互いに対向しておらず、位置的にずれていても構わない。更に、ゲート電極は境界線と平行に延設されていれば良く、素子領域AA13及び素子領域AA16のような向きにMOSトランジスタが設けられていても良い。

【0048】図12は、上記第1、第2の実施形態の第4変形例に係る半導体装置の平面図である。本変形例は、上記第3変形例において、バルク領域とSOI領域との境界の角部に着目したものである。図示するように、バルク領域とSOI領域との境界の角部に隣接して、バルク領域内に素子領域AA17が設けられている。そして、素子領域AA17内にはいずれか一方の境界と平行に配置されたゲート電極16aを有するMOSトランジスタTR17が設けられている。通常、部分SOI構造の平面形状における角部は、その製造過程において、円弧状に変形する。よって、境界角部に隣接してMOSトランジスタを配置する場合

には、図示するように、境界角部からチャネル領域までの距離を安全距離 d 以上にしておくことが重要である。

【0049】次にこの発明の第3の実施形態に係る半導体装置について、図13を用いて説明する。図13は、部分SOI構造を用いたDRAM混載型システムLSIの平面図である。

【0050】図示するように、上記第1、第2の実施形態で説明した部分SOI構造におけるバルク領域にはDRAMセルアレイが設けられ、SOI領域にはロジック回路が設けられている。そして、バルク領域とSOI領域との境界領域に、DRAMセルのダミーパターンが設けられている。

【0051】図14は、図13における領域B6の拡大図である。図示するように、バルク領域中には複数の素子領域AAが千鳥状に配置されている。図14において斜線の付された領域が素子領域AAを示している。素子領域AA以外の領域には素子分離領域STIが設けられている。素子領域は、長手方向が5F（F：最小加工寸法）、長手方向に直交する方向が1Fの幅で形成されている。DRAMセルアレイは、素子領域AA内に設けられたセルトランジスタ

と、素子領域AAの長手方向の両端部に接するようにして設けられたトレンチ型のセルキャパシタTCとを有するメモリセルを複数備えている。そして、ビット線コンタクトプラグBCを介して、同一列に位置するメモリセルに電氣的に接続された複数のビット線BLが、素子領域AAの長手方向に沿って設けられている。更に、同一行のセルトランジスタのゲート電極に電氣的に接続された複数のワード線WLが、素子領域AAの長手方向に直交する方向に沿って設けられている。

【0052】バルク領域とSOI領域との境界領域には、DRAMセルと同様のパターンの素子領域AAが形成されている。この素子領域はDRAMセルの形成には使用されないダミーパターンである。DRAM等では、膨大な数のメモリセルが規則性を持ってアレイ状に配置されている。しかし、DRAMセルアレイ端部ではその規則性が崩れる。すると、DRAMセルアレイ端部におけるリソグラフィ条件やエッチング条件に変動が起こり易くなり、メモリセルとしての信頼性の維持が困難となる。そのため、DRAMセルアレイの外部に、DRAMセルアレイと同一パターンのダミーパターンを形成することにより、DRAMセルアレイ内のメモリセルの信頼性を維持する手法が広く用いられている。本実施形態では、このダミーパターンを、バルク領域とSOI領域との境界領域に設けている。

【0053】SOI領域中にはロジック回路が設けられる。ロジック回路の構成については省略する。

【0054】次に図14に示すシステムLSIの断面構造について、図15を用いて説明する。図15は、図14におけるX6-X6'線方向に沿った断面図である。まずバルク領域内のDRAMセルアレイの構造について説明する。

【0055】p型シリコン層13及びp型シリコン基板10中には、トレンチキャパシタTC形成用のトレンチ21が設けられている。このトレンチ21の上部を除いた内周面上にはキャパシタ絶縁膜22が設けられている。更にトレンチ21の上部を除いた内周面上で、且つキャパシタ絶縁膜22よりも上部には、キャパシタ絶縁膜22よりも膜厚の大きいカラー酸化膜23が設けられている。また、トレンチ21内にはストレージノード電極24がトレンチ21内部を途中まで埋め込むようにして設けられ、ストレージノード電極24上に更に導電体層25が設けられている。また、トレンチ21内の開口近傍に低抵抗の導電体層26が更に設けられている。そして、シリコン基板10中にキャパシタ絶縁膜22と接するようにしてn'型不純物拡散層27が設けられている。このn'型不純物拡散層27はプレート電極として機能するものである。更にシリコン基板10中には、複数のn'型不純物拡散層27と共通接続されたn型ウェル領域27'が設けられている。以上のようにして、トレンチ型のセルキャパシタTCが形成されている。

【0056】シリコン層13上には、ゲート絶縁膜28を介してゲート電極16が設けられており、絶縁膜29がゲート電極16を取り囲むようにして設けられている。また、

シリコン層13表面内にn⁺型ソース・ドレイン領域14、15が設けられることによりセルトランジスタが形成されている。そして、セルトランジスタのソース領域14とセルキャパシタTCの導電体層26とが電氣的に接続されている。以上のようなセルトランジスタとセルキャパシタを含むDRAMセルが、DRAMセルアレイ内に複数設けられている。またDRAMセルは、素子分離領域STIによって電氣的に互いに分離された素子領域AA内に2個ずつ配置され、ドレイン領域15を共有している。

【0057】そして、上記DRAMセルを被覆するようにして、シリコン層13上に層間絶縁膜30が設けられている。層間絶縁膜30内には、層間絶縁膜30表面からドレイン領域15に達するビット線コンタクトプラグBCが設けられている。なお、ビット線コンタクトプラグと接するドレイン領域26内には高不純物濃度のn⁺型コンタクト領域31が設けられている。そして層間絶縁膜30上に、ビット線コンタクトプラグBCと電氣的に接続されたビット線BLが設けられている。

【0058】バルク領域とSOI領域との境界領域には、DRAMセルと同様のパターンの素子領域AAが形成されているのみであり、半導体素子は形成されていない。但し、セルトランジスタのn⁺型不純物拡散層27と接続されるn型ウェル領域27[′]が、ダミーパターン内において、シリコン層13の表面に達するように形成されている。この領域において、n型ウェル領域27[′]にプレート電位が与えられる。そして上記DRAMセルアレイ、ダミーパターン、及びロジック回路を層間絶縁膜32が被覆している。

【0059】本実施形態に係る半導体装置によれば、ダミーパターンをバルク領域とSOI領域との境界部分に配置している。第1、第2の実施形態でも説明したとおり、バルク領域とSOI領域との境界部分は応力が強く作用するため、半導体素子を形成するには適さないデッドスペースとなる。他方、ダミーパターンはセルアレイ等の信頼性を維持するために必要不可欠なものであるが、それ自体は半導体素子として機能するものではない。そのため、ダミーパターンが形成される領域もデッドスペースとなる。そこで、ダミーパターンをバルク領域とSOI領域との境界部分に設けることにより、応力によるセルアレイの特性変化を防止しつつ、デッドスペースを削減することが可能となる。

【0060】なお、本実施形態ではバルク領域とSOI領域との境界部分には素子領域AAを設けるのみであったが、図16に示すように、更にトレンチキャパシタを形成しても良い。勿論、ダミーのメモリセルを形成しても良い。但し、トレンチ21の形成時にBOX層11がエッチングの妨げになる等の問題がある場合には、図14に示すようにトレンチキャパシタは設けない方が好ましい。勿論、スタック型のセルキャパシタを用いたメモリセル構造でも構わない。勿論、本実施形態は半導体記憶装置を有するLSIに限らず、ダミーパターンを必要とするよ

うなアレイ状に配置された半導体素子を複数有するような半導体装置であれば、広く一般に適用できる。

【0061】次にこの発明の第4の実施形態に係る半導体装置について図17を用いて説明する。図17は、部分的にSON構造が設けられた半導体装置の平面図である。本実施形態は、上記第1の実施形態に係る素子領域の配置を、部分SOI構造の代わりに部分的にSON構造を設けた半導体装置に適用したものである。

【0062】図示するように、半導体装置1はバルク領域とSON領域とを有している。SONとは、空洞領域上に設けられたシリコン層のことであるが、詳細については後述する。バルク領域及びSON領域内には、素子分離領域STIによって互いに電氣的に分離された素子領域AA18乃至AA23が設けられている。素子領域AA18乃至AA23には、MOSトランジスタTR18乃至TR23がそれぞれ設けられている。なお、平面構造については、素子領域AA18乃至AA23は、上記第1の実施形態における素子領域AA1乃至AA6と同様であるの説明は省略する。

【0063】図18(a)乃至(c)は、図17におけるそれぞれX7-X7[′]線、X8-X8[′]線、及びX9-X9[′]線に沿った方向の断面図である。バルク領域の構造は上記第1の実施形態と同様であるので説明は省略し、ここではSON領域についてのみ説明する。

【0064】図示するように、シリコン基板10には部分的にSON構造が設けられている。すなわち、シリコン基板10の一部領域上には空洞領域40が設けられている。この空洞領域40を介して、シリコン基板10上に半導体層41が設けられている。半導体層41は例えばシリコン層であり、以後SON層と呼ぶ。このように、シリコン基板10上の空洞領域40及びSON層41を含むSON構造が設けられた領域がSON領域である。SON層40は、空洞領域40によってシリコン基板10と電氣的に分離されている。従って、図2で説明したような、シリコン基板10とSOI層12との間にBOX層11を有するSOI構造と同様の効果が得られる。SON領域には、素子領域AA21乃至AA23が設けられており、各素子領域AA21乃至AA23は素子分離領域STIによって取り囲まれている。なお、SOI領域内の素子分離領域STIは、シリコン基板10に達するようにして形成されている。

【0065】素子領域AA21乃至AA23にはMOSトランジスタTR21乃至TR23がそれぞれ設けられている。素子領域AA21乃至AA23内に設けられたMOSトランジスタTR21乃至TR23は、ソース・ドレイン領域、及びゲート電極をそれぞれ有している。MOSトランジスタTR21、TR22のソース領域14u、14v、ドレイン領域15u、15vは、空洞領域40に達するようにして設けられている。そしてMOSトランジスタTR21、TR22のゲート電極16u、16vは、それぞれソース領域14uとドレイン領域15uとの間、及びソース領域14uとドレイン領域15vとの間のSON層41上に、図示せぬゲート絶縁膜を介して設けられている。MOSトランジスタ

R23についても、図示せぬソース・ドレイン領域が素子領域AA23内のSON層41表面に互いに離隔して設けられている。そして、ソース・ドレイン領域間のSON層41上に、図示せぬゲート絶縁膜を介してゲート電極16wが設けられている。

【0066】素子領域AA22、AA23は、バルク領域とSON領域との境界から、安全距離 d_2' だけ離隔して配置されている。他方、素子領域AA21は、安全距離 d_2' 以下の距離 d_1' だけ離隔して配置されている。但し、MOSトランジスタTR21のチャンネル領域が、境界から安全距離 d_2' 以上、離隔していることは言うまでもない。

【0067】以上のように、部分的にSON構造を有する半導体装置であっても、上記第1の実施形態で説明した効果を得ることが出来る。すなわち、SON領域においては、ソース・ドレイン領域15u、15wは、SON層41の底面に達するように設けられている。従って、ソース・ドレイン領域15u、15w底部に応力が生じたとしても、リーク電流は流れようがない。そのため、応力についてはチャンネル領域についてのみ効力すれば足りるため、素子領域をバルク領域とSOI領域との境界に近接するように配置出来、デッドスペースを削減することが出来る。なお、SON層41が空洞領域40上に設けられることから、バルク領域内及びバルク領域とSON領域との境界部の素子分離領域STIと、SON領域内の素子分離領域STIとは、別個の工程で製造することが望ましい。勿論、バルク領域内の素子分離領域STIと境界部の素子分離領域STIとが同一の製造工程で形成されることは構わない。

【0068】なお、上記第1の実施形態だけでなく、第2、第3の実施形態に係る半導体装置が、部分的にSON構造を有していても良い。すなわち、図7、図8(a)、(b)、図11乃至図16において、SOI領域がSON領域であっても良い。この場合には、図8(a)、(b)、及び図15におけるBOX層11の代わりに空洞領域を設け、SOI層12の代わりにSON層を設ければ良い。

【0069】上記のように、本発明の第1乃至第4の実施形態に係る半導体装置によれば、応力による特性変化を防止できる半導体装置を提供できる。

【0070】なお、上記第1乃至第3の実施形態において、図面ではバルク領域とSOI領域との境界を両者の間にある素子分離領域STIの中心にあるように示している。しかし、バルク領域とSOI領域との境界とは、図9(a)乃至(c)及び図10(a)乃至(c)に示すように、あくまで、部分SOI構造を作成した段階でのBOX層11端部である。このことはSON構造の場合でも同様である。更に、バルク領域及びSOI領域における安全距離 d_1 、 d_2 は、同一の場合もあれば、異なる値を取る場合も考え得る。更に、上記実施形態では、シリコン層13の上面とSOI層12の上面とが同一平面上に在る場合を例に挙げて説明したが、製造方法によっては、両者が異なる

平面上にあっても良い。勿論、シリコン層13の上面とSON層41の上面とが異なる平面上にあっても良い。またシリコン層13の底面とBOX層11の底面とが異なる平面上にあっても良いし、シリコン層13の底面と空洞領域40の底面とが異なる平面上にあっても良い。更に、第2、第3の実施形態を組み合わせて、DRAMセルをシリコン基板10と同一導電型及び同電位のウェル領域上に形成しても良い。また、上記実施形態ではDRAM搭載型のシステムLSIを例に挙げて説明したが、DRAMに限らず、例えばSRAM(Static RAM)やフラッシュメモリ、またはFerroelectric RAM等を有する半導体装置であっても良い。

【0071】なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出される。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出される。

【0072】

【発明の効果】以上説明したように、この発明によれば、応力による特性変化を防止できる半導体装置を提供出来る。

【図面の簡単な説明】

【図1】この発明の第1の実施形態に係る半導体装置の平面図。

【図2】この発明の第1の実施形態に係る半導体装置の断面図であり、(a)図は図1におけるX1-X1'線、(b)図はX2-X2'線、(c)図はX3-X3'線に沿った断面図。

【図3】MOSトランジスタの断面図。

【図4】バルク領域とSOI領域との境界からの距離と応力との関係を示すグラフ。

【図5】この発明の第1の実施形態に係る半導体装置の断面図。

【図6】バルク領域とSOI領域との境界からの距離と閾値電圧の変化量との関係を示すグラフ。

【図7】この発明の第2の実施形態に係る半導体装置の平面図。

【図8】この発明の第2の実施形態に係る半導体装置の断面図であり、(a)図は図7におけるX4-X4'線、(b)図はX5-X5'線に沿った断面図。

【図9】この発明の第1、第2の実施形態の第1変形例に係る半導体装置の製造方法を示しており、(a)図乃至(c)図はそれぞれ半導体装置の第1乃至第3の製造工程の断面図。

【図10】この発明の第1、第2の実施形態の第2変形

例に係る半導体装置の製造方法を示しており、(a)図乃至(c)図はそれぞれ半導体装置の第1乃至第3の製造工程の断面図。

【図11】この発明の第1、第2の実施形態の第3変形例に係る半導体装置の平面図。

【図12】この発明の第1、第2の実施形態の第4変形例に係る半導体装置の平面図。

【図13】この発明の第3の実施形態に係る半導体装置の平面図。

【図14】図13の一部領域の拡大図。

【図15】図13におけるX6-X6'線に沿った断面図。

【図16】この発明の第3の実施形態の変形例に係る半導体装置の断面図。

【図17】この発明の第4の実施形態に係る半導体装置の平面図。

【図18】この発明の第4の実施形態に係る半導体装置の断面図であり、(a)図は図17におけるX7-X7'線、(b)図はX8-X8'線、(c)図はX9-X9'線に沿った断面図。

【符号の説明】

10…シリコン基板

11…BOX層

12…SOI層

* 13、20…シリコン層

14、14a、14b、14d、14e、14g~14j、14r、14s、14u、1

4v…ソース領域

15、15a、15b、15d、15e、15g~15j、15r、15s、15u、1

5v…ドレイン領域

16、16a~16v…ゲート電極

17…チャネル領域

18、27…ウェル領域

19…マスク材

10 21…トレンチ

22…キャパシタ絶縁膜

23…カラー酸化膜

24…ストレージノード電極

25、26…導電膜

27…プレート電極

28…ゲート絶縁膜

29…絶縁膜

30、32…層間絶縁膜

31…コンタクト領域

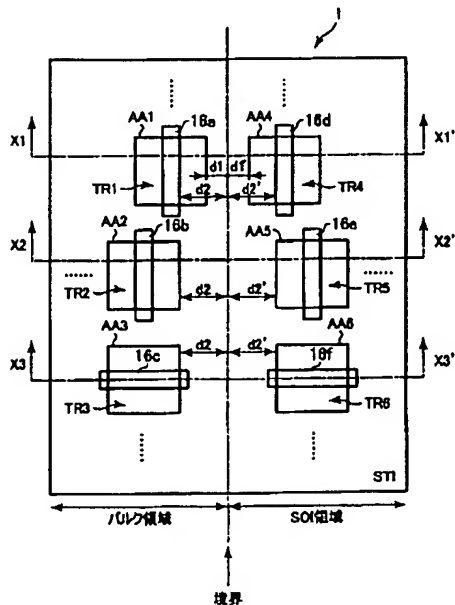
20 40…空洞領域

41…SON層

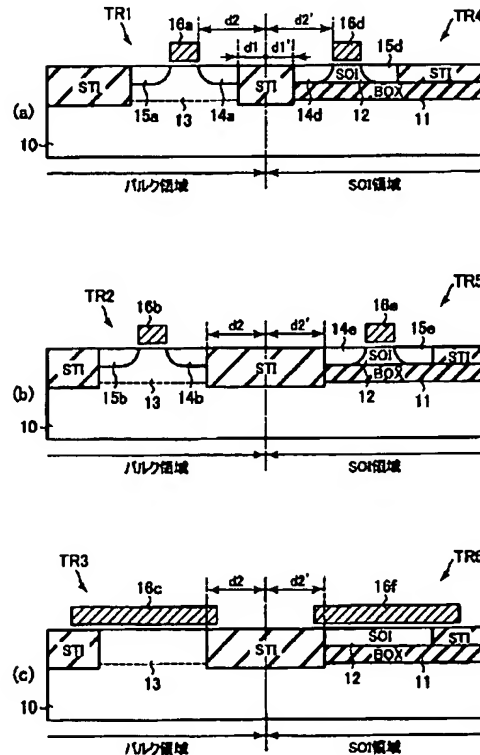
42…素子分離領域

*

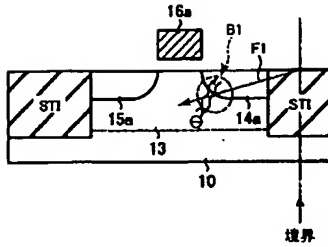
【図1】



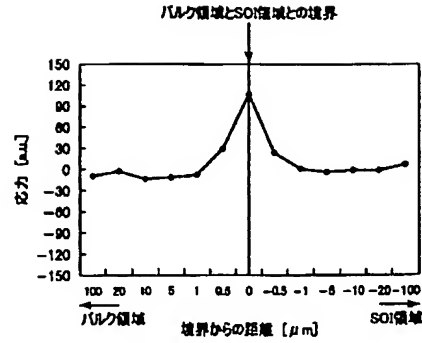
【図2】



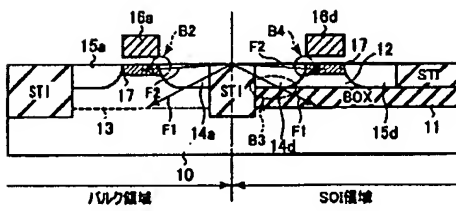
【図3】



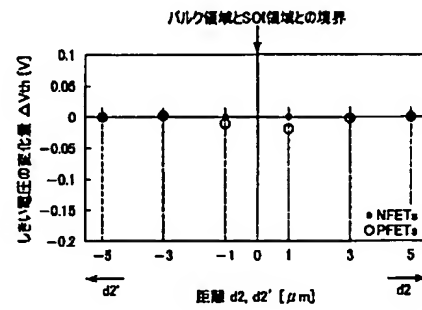
【図4】



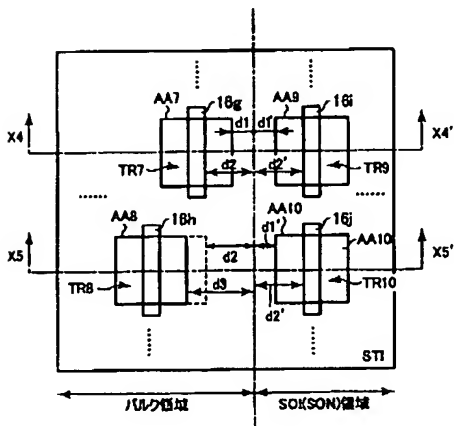
【図5】



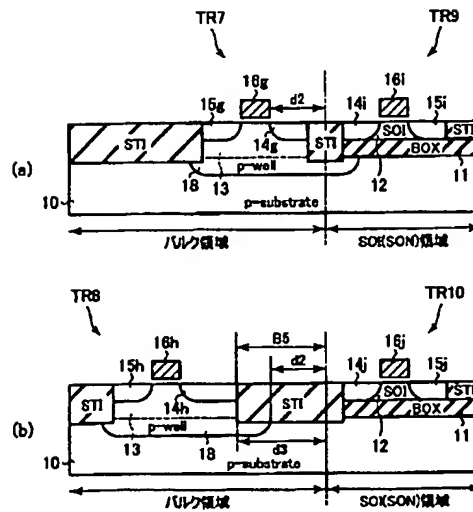
【図6】



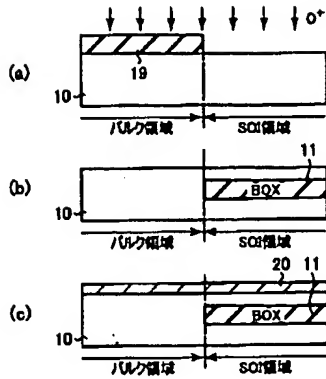
【図7】



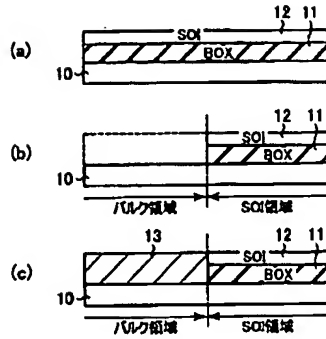
【図8】



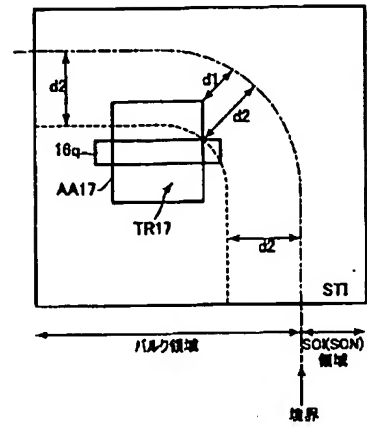
【図9】



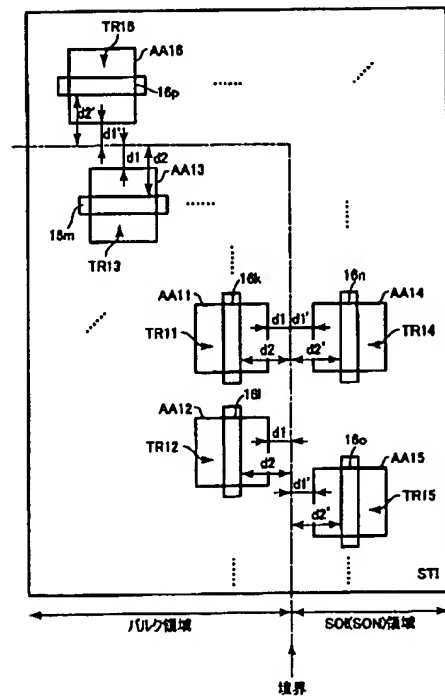
【図10】



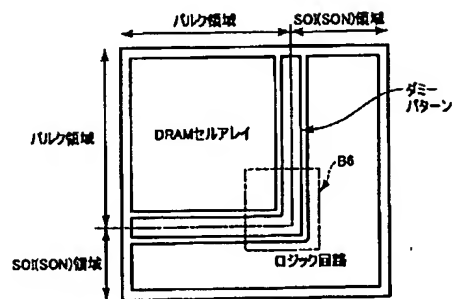
【図12】



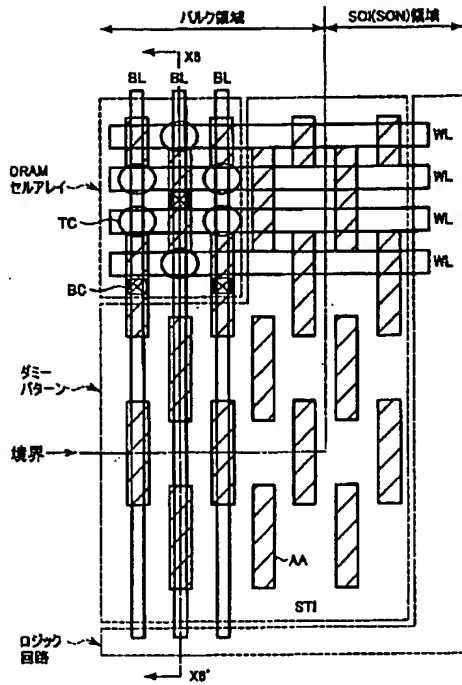
【図11】



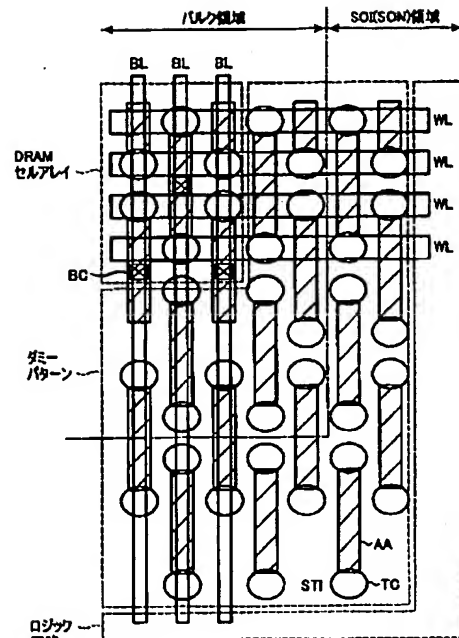
【図13】



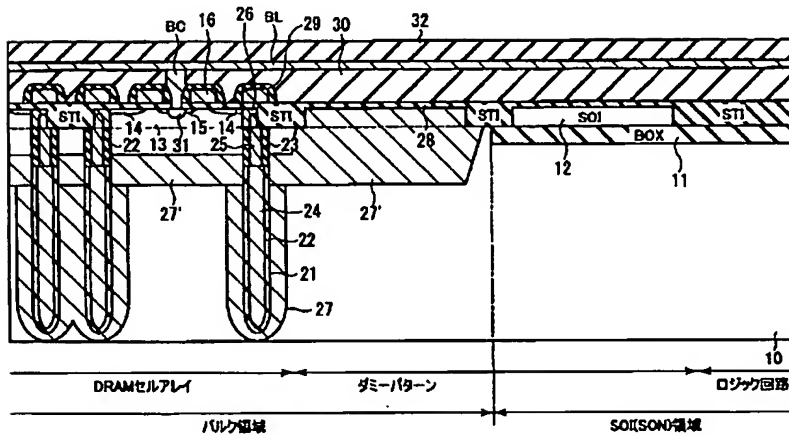
【図14】



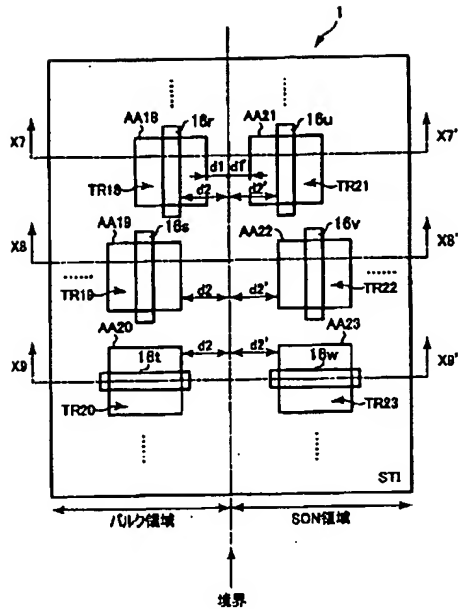
【図16】



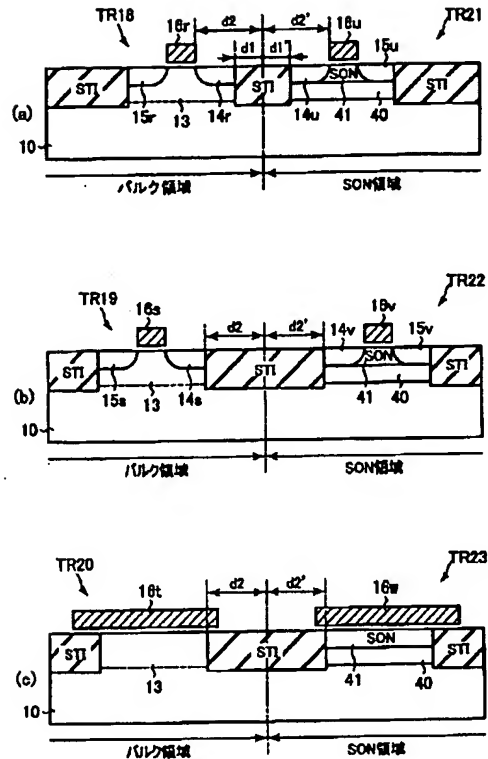
【図15】



【図17】



【図18】



フロントページの続き

(51)Int.Cl.⁷ 識別記号
H01L 27/08 331
27/088
27/10 461
27/108
29/786

F I テーマコード (参考)
H01L 21/76 D
29/78 626C
621
27/10 625A
21/76 A

(72)発明者 新田 伸一
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 永野 元
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 水島 一郎
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 親松 尚人
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 南 良博
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 宮野 信治
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内
(72)発明者 藤井 修
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

F ターム(参考) 5F032 AA07 AA35 AA44 AA82 AC02
BA03 BA05 CA17 DA16 DA22
DA43
5F048 AA04 AA07 AB01 AC01 BA01
BA09 BA16 BB01 BC01 BC11
BC18 BE03 BG06 BG14
5F083 AD17 HA02 NA01 PR43 PR45
PR53 PR55 ZA12 ZA28
5F110 AA08 BB03 BB06 CC02 DD05
DD13 DD30 EE37 NN62 NN74
NN77

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.